

(19) 日本国特許庁（J P）

(12) 公開特許公報（A）

(11) 特許出願公開番号

特開平8-37546

(43) 公開日 平成8年(1996)2月6日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 27/20	A	9297-5K		
H 0 4 Q 7/38				
H 0 4 L 27/22				
		9297-5K	H 0 4 B 7/26	1 0 9 N
			H 0 4 L 27/22	F
			審査請求 未請求 請求項の数27	FD (全 18 頁)

(21) 出願番号 特願平6-287503

(22) 出願日 平成6年(1994)10月26日

(31) 優先権主張番号 1 0 7 6 5 6

(32) 優先日 1993年11月18日

(33) 優先権主張国 イスラエル (I L)

(31) 優先権主張番号 0 8 / 1 5 8 , 9 7 1

(32) 優先日 1994年11月29日

(33) 優先権主張国 米国 (U S)

(71) 出願人 594191962

ディーエスピー・テレコミュニケーションズ・リミテッド

DSP Telecommunications Ltd.

イスラエル国ジバットシュミュエル・ベングリオンストリート 11

(72) 発明者 ジョセフ・パール

イスラエル国ラーアナナ・ハレボナストリート 13

(74) 代理人 弁理士 大島 陽一 (外 1 名)

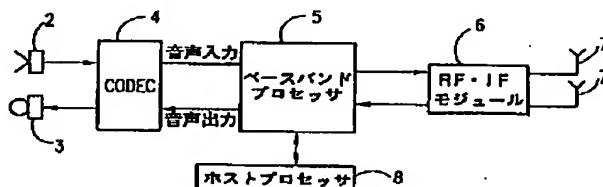
最終頁に続く

(54) 【発明の名称】 個人用デジタル携帯電話（PDC）用ベースバンドプロセッサ及び位相変調された信号を復調する方法

(57) 【要約】

【目的】 個人用デジタル式携帯電話（PDC）に用いるための省スペースかつ低電力のベースバンドプロセッサを提供することを目的とする。

【構成】 デジタル式に変調された信号とアナログ式に変調された信号とを交互に少なくとも変換するための特定用途向け集積回路（ASIC）と、前記デジタル式に変調された信号及び前記デジタル式に復調された信号をデジタル式に変調及び復調し、かつ前記復調された信号を音声信号及び制御チャンネル信号にデジタル式に処理し、かつ前記音声信号及び前記制御チャンネル信号を前記復調された信号へデジタル式に処理するデジタル信号処理用集積回路（DSP）とを有する。



【特許請求の範囲】

【請求項1】 個人用デジタル携帯電話（PDC）用ベースバンドプロセッサであって、デジタル式に変調された信号とアナログ式に変調された信号とを交互に少なくとも変換するための特定用途向け集積回路（ASIC）と、前記デジタル式に変調された信号及び前記デジタル式に復調された信号をデジタル式に変調及び復調し、かつ前記復調された信号を音声信号及び制御チャンネル信号にデジタル式に処理し、かつ前記音声信号及び前記制御チャンネル信号を前記復調された信号へデジタル式に処理するデジタル信号処理用集積回路（DSP）とを有することを特徴とする個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項2】 前記デジタル式に変調された信号が、位相変調された信号からなり、前記特定用途向け集積回路が、前記デジタル式に変調された信号をアナログ信号に変換するDA変換器と、前記アナログ変調された信号の位相をデジタル式に決定する位相決定器とを有することを特徴とする請求項1に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項3】 前記デジタル信号処理用集積回路が、前記位相信号を復調するための少なくとも1つの復調器を有することを特徴とする請求項2に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項4】 前記少なくとも1つの復調器が、第1の周波数を備えた2進基準信号を出力する基準電圧発生手段と、サンプリング周期の間に動作し、かつ前記サンプリング周期の間に第2の周波数を備えたハードリミットされた位相変調された入力信号と前記基準2進信号との位相差を決定するデジタル手段とを有することを特徴とする請求項3に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項5】 前記位相決定器が、動作周波数を備えた局部発振器を有し、前記動作周波数が利用者によってプログラム可能であることを特徴とする請求項2に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項6】 前記デジタル信号処理用集積回路が、更に、デジタル式に変数化された制御チャンネルエンコード及びデコードを有することを特徴とする請求項1に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項7】 前記デジタル信号処理用集積回路が更に、バイテルビデコーディング法及びパービットプロジェクションメトリック法を実施する音声チャンネルデコードを有することを特徴とする請求項1に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項8】 前記デジタル信号処理用集積回路が、

伝達されるべき信号をデジタル式に変調し、かつ前記変調された信号をランピングするためのデジタル変調器を有することを特徴とする請求項1に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

50 【請求項9】 前記デジタル変調器が、有限パルス反応フィルタを有することを特徴とする請求項8に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項10】 前記デジタル信号処理用集積回路が、後検出・選択を実施するための手段と、アンテナ選択を実施するための手段と、前記2つの手段を選択するための手段とを有することを特徴とする請求項1に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

【請求項11】 単位円の円周上に配置された、利用者によって選択された1組の極の値を受け取るための手段と、少なくとも1つの予め決められた周波数の正弦波を発生させる、前記1組の極の値を用いた限界安定フィルタとを有する表示トーン発生器を更に含むことを特徴とする請求項1に記載の個人用デジタル携帯電話用ベースバンドプロセッサ。

20 【請求項12】 単位円の円周上に配置された、利用者によって選択された1対の極の値を受け取るための手段と、

少なくとも1つの予め決められた周波数の正弦波を発生させるための、前記1対の極の値を用いた限界安定フィルタとを有することを特徴とする表示トーン発生器。

25 【請求項13】 第1の周波数を備えた位相変調されたアナログ入力信号から、位相変調された2進信号を発生させるためのハードリミットと、

前記第1の周波数と概ね等しい第2の周波数を備えた基準2進信号を出力するための基準電圧発生手段と、サンプリング周期の間に動作し、かつ前記サンプリング周期の間に前記位相変調された信号と前記基準2進信号との位相差を決定するためのデジタル手段とを有することを特徴とする復調器。

35 【請求項14】 前記デジタル手段が、前記位相変調された信号と前記基準2進信号とが等しい2進数値を有する時を表示するためのXORゲートと、前記第1の周波数よりも高い第3の周波数を有するクロックと、

40 第1のカウントと第2のカウントとを有し、前記第1のカウントが、第1のエッジと第2のエッジとを備えた信号ST・COUNTを出力し、前記第2のカウントが、前記XORゲートの出力が正である前記第1のエッジと前記第2のエッジとの間のクロックパルスの個数N1をカウントすることを特徴とする請求項13に記載の復調器。

50 【請求項15】 前記デジタル手段が更に、前記クロックパルスの個数N1から前記位相差を決定するための位相シフト計算器を有することを特徴とする請求項14に記載の復調器。

【請求項16】 前記基準2進信号を位相シフトさせ、位相シフトされた基準2進信号を発生させる位相シフトユニットを更に有することを特徴とする請求項13に記載の復調器。

【請求項17】 前記基準2進信号が、前記第1の周波数の2倍の周波数を有し、前記位相シフトユニットが、前記基準2進信号の前記第2の周波数を2つに分割するデバイダがその後段に接続されたインバータからなることを特徴とする請求項16に記載の復調器。

【請求項18】 前記デジタル手段が、前記位相変調された信号と、前記位相シフトされた基準2進信号とが等しい2進数値を有する時を表示するための第2のXORゲートと、前記第2のXORゲートの出力が正である前記第1のエッジと前記第2のエッジとの間のクロックパルスの個数N2をカウントするための第3のカウンタとを更に有することを特徴とする請求項16に記載の復調器。

【請求項19】 前記クロックパルスの個数N1から位相差を決定し、かつ前記クロックパルスの個数N2から前記位相差の符号を決定するための位相シフト計算器を、前記デジタル手段が更に有することを特徴とする請求項18に記載の復調器。

【請求項20】 前記位相シフト計算器が更に、前記入力信号の連続したサンプリング周期の間の位相シフトを決定するための手段を有することを特徴とする請求項19に記載の復調器。

【請求項21】 位相変調された信号を復調する方法であって、第1の周波数を有する位相変調されたアナログ入力信号をハードリミットし、位相変調された2進信号を発生させる過程と、前記第1の周波数と概ね等しい第2の周波数を有する2進基準信号を発生させる過程と、1サンプリング周期の間に、前記位相変調された2進信号と前記基準2進信号との位相差をデジタル的に決定する過程とを有することを特徴とする位相変調された信号を復調する方法。

【請求項22】 前記デジタル的に決定する過程が、前記位相変調された2進信号と前記基準2進信号とにXOR演算を施す過程と、前記XOR演算を施す過程の出力が正である、ST・COUNT信号の第1のエッジと第2のエッジとの間のクロックパルスの個数N1をカウントする過程とを有することを特徴とする請求項21に記載の位相変調された信号を復調する方法。

【請求項23】 前記デジタル的に決定する過程が更に、前記クロックパルスの個数N1から位相差を決定する過程を有することを特徴とする請求項22に記載の方法。

【請求項24】 前記基準2進信号を位相シフトさせ、位相シフトされた基準2進信号を発生させる過程を更に有することを特徴とする請求項21に記載の方法。

【請求項25】 前記デジタル的に決定する過程が更に、前記位相シフトされた2進信号と、前記位相シフトされた基準2進信号とにXOR演算を施す過程と、前記XOR演算を施す第2の過程の出力が正である前記第1のエッジと前記第1のエッジとの間のクロックパルスの個数N2をカウントする過程とを有することを特徴とする請求項24に記載の位相変調された信号を復調する方法。

【請求項26】 前記デジタル的に決定する過程が更に、前記クロックパルスの個数N1から位相差を決定する過程と、前記クロックパルスの個数N2から前記位相差の符号を決定する過程を有することを特徴とする請求項25に記載の位相変調された信号を復調する方法。

【請求項27】 前記デジタル的に決定する過程が更に、前記入力信号の連続するサンプル周期の間の位相シフトを決定する過程を有することを特徴とする請求項26に記載の位相変調された信号を復調する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、移動可能な遠距離通信ユニットに関し、特に個人用デジタル携帯電話（PDC）に関する。

【0002】

【従来の技術】移動可能な携帯電話の需要の増加に伴い、携帯電話の新しい規格が定められた。欧州デジタル規格（DSM）、北アメリカの合衆国デジタルセルラー（USDC）及び日本のパーソナルデジタルセルラー（PDC）のような規格は、デジタル音声信号と、時分割多重アクセス（TDMA）プロトコルとを組み合わせるものであり、この時分割多重アクセスプロトコルは、既存のアナログシステムと比較して、通信容量を増加させることができる。

【0003】これらの規格は、ハードウェアとソフトウェアの両方で実現され、ソフトウェアはデジタル信号処理用集積回路（digital signal processing chip: DSP）上で動作し、ハードウェアは特定用途向け集積回路（ASIC）上で動作する。送信端では、ソフトウェアがコーダ・デコーダ（CODEC）から受けとられた音声信号を圧縮し、ハードウェアが圧縮された音声信号にエラー補正コードと制御チャンネル信号を加え、この信号を変調し、圧縮された音声信号を送信する準備がなされる。受信端ではハードウェアが受信された信号を復調し、この復調された信号を圧縮された音声信号と制御チャンネル信号とに分離する。次にソフトウェアが音声信号を伸張し、この伸張された音声信号をコーダ・デコーダに伝達する。

【0004】

【発明が解決しようとする課題】本発明は、個人用デジタル式携帯電話（PDC）に用いるための省スペースかつ低電力のベースバンドプロセッサを提供することを目的とする。

【0005】

【課題を解決するための手段】上述された本発明の目的は、個人用デジタル携帯電話（PDC）用ベースバンドプロセッサであって、デジタル式に変調された信号とアナログ式に変調された信号とを交互に少なくとも変換するための特定用途向け集積回路（ASIC）と、前記デジタル式に変調された信号及び前記デジタル式に復調された信号をデジタル式に変調及び復調し、かつ前記復調された信号を音声信号及び制御チャンネル信号にデジタル式に処理し、かつ前記音声信号及び前記制御チャンネル信号を前記復調された信号へデジタル式に処理するデジタル信号処理用集積回路（DSP）とを有することを特徴とする個人用デジタル携帯電話用ベースバンドプロセッサを提供することによって達成される。

【0006】

【作用】本発明の好適実施例に基づけば、個人用デジタル携帯電話（PDC）に用いるための有効な装置が提供される。この装置は、特定用途向け集積回路（ASIC）及びデジタル信号処理用集積回路（DSP）から形成されている。このデジタル信号処理用集積回路（DSP）は、少なくとも、変調されたデジタル信号を復調し若しくは復調されたデジタル信号を変調し、この復調された信号を音声信号と制御チャンネル信号とに分離しかつ音声信号と制御チャンネル信号を合成して復調された信号を形成する。

【0007】本発明の好適実施例に基づけば、変調された信号は位相変調されており、特定用途向け集積回路（ASIC）は、変調されたデジタル信号を変調されたアナログ信号に変換するDA変換器と、変調されたアナログ信号の位相をデジタル式に識別する位相識別器（phase identifier）とを含む。好ましくは、デジタル信号処理用集積回路は、位相信号を復調する少なくとも1つの復調器を含む。更に、位相識別器は、動作周波数の信号を発生する局部発振器を有し、この動作周波数は利用者がプログラムすることができる。

【0008】更に、本発明の好適実施例に基づけば、デジタル信号処理用集積回路は、デジタル式に変数化（parameterized）された制御チャンネルエンコード及びデコードを含む。

【0009】更に、本発明の好適な実施例に基づけば、デジタル信号処理用集積回路は、バイタービ・デコード法（Viterbi decoding scheme）及びパービット・プロジェクション・メトリック（per bit projection metric）を実施する音声信号チャンネルデコードを含む。

【0010】加えて、本発明の好適実施例に基づけば、デジタル信号処理用集積回路は、伝達される信号をデジタル式に変調し、変調された信号をランピング（ramping）するデジタル変調器を含む。

05 【0011】更に、本発明の好適実施例に基づけば、デジタル信号処理用集積回路は、後検出・選択を実行する装置と、アンテナ選択を実行する装置と、前記2つの装置を選択する装置とを有する。

10 【0012】本発明の好適実施例に基づけば、単位円の円周上に配置された、利用者によって選択される一対の極の値を受け取る装置と、少なくとも1つの予め決定された周波数の正弦波を発生するために前記一対の極の値を用いる限界安定フィルタ（marginally stable filters）とを含む表示トーン発生器が与えられる。

15 【0013】本発明の好適実施例に基づけば、ハードリミッタ、基準2進信号発生装置及びデジタル位相決定ユニットから形成された復調器が与えられる。ハードリミッタは、アナログ位相変調された入力信号を2進信号に変換する。基準2進信号発生装置は、前記入力信号の周波数と概ね等しい周波数の基準2進信号を出力する。入力信号は基準信号と同じように2進信号に変換されているので、位相決定ユニットはデジタル式に動作して、1サンプリング周期の間に、位相変調された入力信号と基準2進信号との位相差を求める。

20 【0014】加えて、本発明の好適実施例に基づけば、デジタル位相決定ユニットは、a) 位相変調された入力信号と基準2進信号とが等しい値を有する時刻を表示するXORゲートと、b) 前記入力信号よりも高い周波数を有するクロック信号の発生器と、c) 第1及び第2のカウンタとを有する。第1のカウンタは、第1及び第2のエッジを有するST・COUNT信号を出力し、第2のカウンタは、XORゲートの出力が正である前記第1のエッジと前記第2のエッジとの間のクロックパルスの個数N1をカウントする。

25 【0015】更に、本発明の好適実施例に基づけば、位相決定ユニットは、クロックパルスの個数N1から位相差を求める位相シフト計算器をも含む。

30 【0016】更に、本発明の好適実施例に基づけば、前記復調器は、前記2進信号の位相をシフトし位相がシフトされた基準2進信号を発生する位相シフトユニットをも含む。位相シフトユニットはインバータから形成されても良く、このインバータの出力には、前記2進基準信号の周波数を2つに分割するデバイダが接続されている。

45 【0017】本発明の他の好適実施例では、デジタル位相決定ユニットは、位相変調された2進信号と位相がシフトされた2進基準信号とが同じ値を有する時を表示する第2のXORゲートと、前記第2のXORゲートの出力が正である前記第1のエッジと前記第2のエッジとの

間のクロックパルスの個数N2をカウントする第3のカウンタとを更に含む。この実施例では、位相シフト計算器は、クロックパルスの個数N1から位相差を決定し、クロックパルスの個数N2から位相差の符号を決定する。

【0018】本発明の好適実施例に基づけば、位相変調された信号を復調する方法が提供される。この方法は、上述された復調器の構成要素によって実施される過程を有する。

【0019】

【実施例】本発明は、添付の図面を参照しながら以下に記載された詳細な説明からより十分に理解及び評価される。

【0020】図1には、移動可能な遠距離通信ユニットのブロック図が例示されている。図2及び図3には、図1の遠距離通信ユニットの一部を形成するベースバンドプロセッサのブロック図が例示されている。ここで、ベースバンドプロセッサは、本発明の好適実施例に基づいて構成され、かつ動作するものである。

【0021】移動可能な遠距離通信ユニットは、音声信号を入力するスピーカ2と、音声信号を出力するマイクロホン3と、コーダ・デコーダ（CODEC）4と、コーダ・デコーダから受信されたオーディオ入力信号及びオーディオ出力信号を処理し、ベースバンドモデム処理を行うベースバンドプロセッサ5と、処理されたオーディオ信号を送信及び受信するための、少なくとも1つのアンテナ7に接続されたラジオ周波数・中間周波数（RF・IF）モジュール6と、ベースバンドプロセッサ5の動作を制御するホストプロセッサ8とを有する。

【0022】ベースバンドプロセッサ5は、デジタル信号処理用集積回路（DSP）10と、特定用途向け集積回路（ASIC）12とから形成され、図2のブロック図の動作の大部分は、本発明に基づいて、デジタル信号処理用集積回路（DSP）10によって実行される。

【0023】ベースバンドプロセッサ5は、少なくとも2つの動作バス、即ち信号を出力する送信バス14と、信号を入力する受信バス16とを有する。本発明は、PSC規格であるRCR・STD-27Bの具体例の一部として説明され、このRCR・STD-27Bはここで言及することによって本出願の一部とされたい。本発明の原理は、他の規格にも十分適合するものであることは以下の説明から理解される。

【0024】デジタル信号処理用集積回路（DSP）10内では、送信バス14は、所望に応じて設けられるμロー・リニア・コンバータ（μ-law liner converter）20と、VOXスイッチ（voice operated switch）23と関連するVSELP（vector sum excited linear prediction）圧縮器22と、音声チャンネルエンコーダ24と、制御チャンネル

エンコーダ26と、フォーマッタ（formatter）28と、スクランブラ（scrambler）30と、変調器32とを有する。特定用途向け集積回路12内では、送信バス14は2つのDAコンバータ34を有する。

05

【0025】圧伸器がマイクロホン2からの音声信号を圧縮または伸張する（compand）場合、μロー・リニア・コンバータ20は、圧縮または伸張された音声信号をリニアな音声信号に変換する。VSELP圧縮器22は音声信号を圧縮し、VOX23によって指定されたときに、非ノイズ部分を音声チャンネルエンコーダ24に伝達する。音声チャンネルエンコーダ24は圧縮された音声信号をエンコードし、制御チャンネルエンコーダ26は（図示されていない）ホストプロセッサから受け取った制御信号をエンコードする。フォーマッタ28は、エンコーダ24及び26から伝達されたエンコードされた信号を受信し、これらのエンコードされた信号に、同期化ワード、カラーコード、プレ・アンプル・ワード（pre-amble words）及びポスト・アンプル・ワード（post-amble words）のようなフォーマット情報28を加える。スクランブラ（scrambler）30は、送信された信号が平衡したスペクトラムを有することによって容易に妨害されないように、フォーマットされた信号をスクランブルする。変調器32は、概ね移動可能な遠距離通信システムで用いられる位相変調に基づいて、スクランブルされた信号をデジタル式に変調する。

10

15

20

25

30

【0026】ASIC12のDA変換器34は、変調された信号をアナログ信号に変換し、このアナログ信号をRF・IF（ラジオ周波数・中間周波数）モジュール6に伝達する。

【0027】ASIC12内では、受信バス16は、少なくとも1つの位相センサ40と、タイミング制御ユニット43が接続された信号セクタ42と、受信された信号の強さを表示する信号表示（RSSI）信号のためのデジタル値を出力するADコンバータ44とを有する。ASIC12は、以下により詳しく説明されるように、自動周波数制御（AFC）ユニットの一部46と、それに関連するDAコンバータ47とを更に有する。

35

40

【0028】図8乃至図15を参照しながら以下により詳しく説明されるように、位相センサ40は、入力位相変調信号をサンプルするための位相を出力し、かつ復調器の一部を形成する。タイミングユニット43によって指定されたとき、セクタ42は2つの入力されたRSSI信号の何れか一方を選択し、この選択された信号は、ADコンバータ44によってデジタル信号に変換される。

45

【0029】DSP10内では、受信バス16は、AFCユニットの第2部分49と、少なくとも1つの復調器50と、RSSI比較器51と、デスクランブラ52

50

と、デフォーマッタ54と、音声チャンネルデコーダ56と、制御チャンネルデコーダ58と、VSELP伸張器60と、表示トーン発生器62と、所望に応じて設けられるμロー・リニア・コンバータ64とを有する。

【0030】復調器50は、図8乃至図15を参照しながら以下により詳しく説明されるように、復調器の第2部分を形成している。復調器50は、位相値を、位相値が表現するシンボル信号に復調する。デスクランブラ54は、シンボル信号をデスクランブルする。デフォーマッタ54は、デスクランブルされた信号からフォーマット情報を取り出し、このフォーマット情報を処理し、その結果をホストプロセッサ8に伝達する。デフォーマッタ54は更にデスクランブルされた信号を音声チャンネルと制御チャンネルとに分離し、音声チャンネルと制御チャンネルは、各々デコーダ56とデコーダ58によってデコードされる。制御信号はホストプロセッサ8に伝達され、VSELP圧縮されている音声信号は、VSELP伸張器60に伝達される。伸張された音声信号は、所望に応じてμロー・リニア・コンバータ64に伝達され、コンバータ64によって変換された音声信号は、コーダ・デコーダ（CODEC）4に伝達される。音声の代わりに若しくは音声に加えて、表示トーンが必要な場合、トーン発生器62が所望のトーンを出力し、このトーンが、VSELP伸張器60によって伸張された信号に加えられ、続いてμロー・リニア・コンバータ64によって所望に応じて変換される。

【0031】音声信号及び制御信号の変調はDSP10によって行われ、音声信号及び制御信号の復調はその大部分がDSP10によって行われることがわかる。更に、DSP10は発生したトーンを表示する。

【0032】VOX23は、任意の適切な音声検出器からなる。VSELP圧縮器22は、VSELP圧縮を行い、かつRCR・STD-27B規格に基づいて、複数のコードブックを用いてコードブックサーチを行う。次にコード化された信号は、サーチチャンネルエンコーダ24に伝達される。

【0033】VSELP伸張器60は、圧縮された音声信号が入力されたとき、VSELP圧縮器22と等しいコードブックを用いて、圧縮された音声信号を伸張して、音声信号を出力する。

【0034】表示トーン発生器62には、限界安定デジタルフィルタ（marginally stable digital filter）が設けられている。利用者は、単位円の円周上に配置された所望の一对の極を選択する。この限界安定デジタルフィルタは、必要な周波数の正弦波を発生する。限界安定デジタルフィルタと、2つの極とから、最も聞き取り易いトーンを発生させることができ、限界安定デジタルフィルタは、2つのトーンを組み合わせることができる（二重トーン多重周波数（dual tone multi-freque

ncy : DTMF）トーンを発生させることができる）。

【0035】音声チャンネルエンコーダ24は、VSELP圧縮器22によって圧縮された信号をエンコードする。音声チャンネルデコーダ56は、音声チャンネルエンコーダと逆の動作を行う。音声チャンネルエンコーダと音声チャンネルデコーダの動作は各々、図4と図5に例示されている。当業者に知られているように、かつ標準RCR-27Bで定義されているように、VSELPデータは、クラス1とクラス2のデータ形式に分割される。

【0036】音声をエンコードするために、始めに、VSELPデータの最重要部分に対するサイクリック冗長コード（CRC）が計算され（ステップ80）、このサイクリック冗長コードが、VSELPデータのクラス1のビットに連結される。ステップ82では、たたみ込みエンコーディング（convolutional encoding）によって、クラス1のビットとサイクリック冗長コードがエンコードされ、その後たたみ込みエンコードされたデータとVSELPデータのクラス2のビットとがインターリーブされる（ステップ84）。ステップ80からステップ84の動作の原理は、標準RCR・STD-27Bにその概要が記載され、1979年にマクローヒル社（McGraw Hill）から出版された、アンドリュー・ジェイ・バイテルビ（Andrew J. Viterbi）とジム・カイ・オオムラ（Jim Kay Omura）による“Principles Digital Communication and Coding”に記載されており、この著書は、ここで言及したことによって本出願の一部とされたい。

【0037】デコーディングするために、始めにデータの各セグメントがデインターリーブされ（ステップ86）、次にバイテルビのデコーディング法によって、クラス1のビットのみにエラー補正が行われる（ステップ88）。バイテルビのデコーディング法は上述された“Principles of Digital Communication and Coding”に記載されている。このデコーディング法は、DSP10上で実行されるので、ワード長及びデコーダのメモリ長に関する従来技術のハードウェアの制限が解消される。

【0038】バイテルビのデコーディング法は、ソフト・メートル法計算（soft metric calculations）を用い、このソフトメートル法計算は、本発明に基づき、従来技術のようにシンボルごとに実行されるのではなく、ビットごとに実行される。本発明では、ほぼ最大の尤度メートル法（nearly maximum likelihood metric）がビットごとに用いられる。

【0039】ステップ90では、クラス1のビットに連

結されたCRCコードが取り出されて記憶され、CRC
コードがバイト毎のデコーディングを行うステップ8
8の出力値から計算される。ステップ92では、ステッ
プ90で計算された新しいCRCコードが、前記記憶さ
れたCRCコードと比較される。RCR・STD-27
B規格で定義されたように、これら2つのコードが一致
する場合、セグメントがVSELP伸張器60に出力さ
れる。2つのコードが一致しない場合、セグメントが前
のセグメントの減衰した値と置き換えられるか、信号が
ミュートされる。

【0040】本発明に基づけば、制御チャンネルエン
コード26及びデコード58は、ホストプロセッサ8から
伝達された変数にตอบสนองして変数化され、動作する。これ
らの動作は、音声チャンネルエンコード及びデコードの
動作と等しく、各々図6と図7に例示されている。

【0041】エンコード26は、ホストプロセッサ8から
制御データのセグメントを受け取り、始めにこのセグ
メントに対してCRC計算を行う(図6のステップ9
0)。ステップ90には、CRCシードと、CRCジェ
ネレータと、ベクトル長とが変数として与えられる。即
ち、PDCユニットで用いられる複数のCRCコード
は、1つのユニットによって形成される。

【0042】CRCコードが制御データのセグメントに
加えられ、その結果形成された組み合わせられたセグメン
トは、変数化された長さのワードに分割され、また変数
化された個数のワードを有する行に分割される(ステッ
プ92)。

【0043】ステップ94では、各行に対してBCHエ
ンコーディングが行われ、行に加えられるパリティピッ
トの値が決定される。ステップ94には、ワード長、ワ
ード数及びコードジェネレータの形式が与えられる。B
CHエンコーディングは、1983年にアジソン・ウェ
スレイ社(Addison-Wesley)から出版さ
れたアル・ビー・ブラハット(R. E. Blahu
t)による“Theory and Practice
of Error Control Codes”に
記載されており、この著書は、ここで言及したことによ
って本出願の一部とされたい。

【0044】ステップ96では、インターリーブが行わ
れ、複数の行のデータが列として読み出される。ステッ
プ96には、列ごとのワード数と、ワード長が変数とし
て与えられる。

【0045】チャンネルデコード58はチャンネルエン
コード26と逆の動作を行う。即ち、データは行からセグ
メントに再配列され(ステップ104)、CRCコード
が除去される。残りのデータに対してCRC計算が行わ
れる。ステップ100~106の各々は、エンコーディ
ングで用いられた変数を用いて実行される。

【0046】ステップ108では、ステップ106で形
成されたCRCコードが、ステップ104で除去された

CRCコードと比較される。この2つのCRCコードが
等しい場合、デコードされたメッセージがホストプロセ
ッサ8に伝達される。2つのCRCコードが一致しない
場合、メッセージは廃棄(discard)される。

05 【0047】図2及び図3を参照する。スクランブラ3
0及びデスクランブラ52は、各々の受信した信号に対
して動作する。スクランブラ30及びデスクランブラ5
2は、受信された信号と、疑似ランダムビットストリー
ムとを入力とするビットごとの論理XOR演算を行う。

10 【0048】変調器32は、DQPSK($\pi/4$ -sh
ifted differential quadra
ture phase shift keying)変
調及びシェーピング(shaping)を行い、かつ本
発明の好適な実施例では、2つのFIR(finite
15 impulse response)フィルタが設け
られている。変調器32は2つの変調された信号を出力
する。RF・IF変調器6は、変調器32の出力信号を
平滑するためのデジタル平滑ローパスフィルタを含む。

【0049】本発明に基づけば、変調器32はまた変調
された信号のデジタルランプ(Digital ram
ping)を行う。このデジタルランプは、ラジオサブ
システムの一部として実行される場合よりもより正確に
実行される。更に、デジタルランプをデジタル信号処理
20 用集積回路10で実行することによって、ASIC12
とRF・IF変調器6との間のインターフェースと同様
に、RF回路を簡単化できる。

【0050】ランプされた信号は次にDAコンバータ3
4によってアナログ信号に変換され、RF・IFモジュ
ール6に伝達される。

30 【0051】復調器50と位相センサ40とによって復
調が行われる。本発明に基づき、かつ以下に説明される
ように、入力された位相変調信号は、ハードリミットさ
れ(hard limited)、位相センサ40は、
入力信号と、中間周波数及び位相が既知の局部発振器か
35 ら発生された信号との間の位相差を求める。次に復調器
50は、隣接するサンプル間の位相差を計算し、この位
相差から位相差の表すシンボルを決定する。本発明に基
づけば、局部発振器から発生された信号の中間周波数は
利用者によって定義することができる。

40 【0052】音声信号及びチャンネル信号のエンコー
ディング機能及びデコーディング機能と、変調機能及び復
調機能の間のインターフェースは、これら4つの機能の
すべてがDSP10内で実施されるので、従来技術のイン
ターフェースよりも簡単化されている。その結果、本
45 発明は、従来技術では基準であった同期化信号(例え
ば、クロック及びフレーム同期化信号)を用いない。

【0053】受信された2つの入力信号の一方のみが所
定の瞬間に利用されるべきであり、この信号の選択は、
各信号のエネルギーに基づいて行われる。所定の期間内
50 での各々受信された信号強度表示(RSSI)信号のエ

エネルギーは、タイミングユニット43によって決定され、RSSI比較器51によってデジタル的に計算され、最も大きいエネルギーを備えた信号に対する選択信号が信号選択スイッチ120に伝達される。

【0054】部分49及び46を有するAFCユニットは、動作周波数を入力信号の周波数と同期化させるように動作し、かつRF・IF変調器6の周波数エラーの補償をするように動作する。第1部分49は、スイッチ120によって選択された変調された信号を受け取り、この変調された信号の周波数を求める。次に第2部分46は第1部分49からの出力を精製（refine）し、計算結果をDAコンバータ47を通してRF・IF変調器6に伝達する。

【0055】チャンネルのフェージングに対する性能を向上させるために、RCR・STD-27B規格は、空間的な多様性を用いることを明記している。本発明のベースバンドプロセッサは、後検出・選択及びアンテナ選択の2つの形式の多様性を有し、利用者は後検出・選択及びアンテナ選択を選択することができる。図2及び図3のブロック図に例示された回路は、後検出・選択のために動作することができる。アンテナ選択のためには、1つのRF・IFパスのみが必要となる。アンテナ選択モードでは、1つの位相センサ40と復調器50のみが用いられる。RSSI比較器51は、最も高いエネルギーを有するアンテナ求め、最も高いエネルギーを備えたアンテナを選択するべくアンテナ制御スイッチ（図示されていない）に制御信号を出力する。

【0056】DSP10は、CODEC4からの音声信号及び制御信号を処理し、かつ変調・復調段に伝達するので、機能的なユニットの間のインターフェースが簡単化されることが評価される。

【0057】図8及び図9には、位相センサ40から形成された変調器と、変調器50とが各々例示されている。図9は、2PSKのコヒーレントな復調のための他の実施例を例示している。

【0058】復調器は概ね、基準信号発生器208と、（位相センサ40から形成された）位相感知ユニット210と、位相シフト決定ユニット212とを有する。基準信号発生器208は、位相変調されたアナログ入力信号IFの基本周波数の基準信号を出力する。位相感知ユニット210は、基準信号に対する入力信号IFの位相をデジタル的に感知し、位相シフト決定ユニット212は、位相シフトの大きさを決定し、この位相シフトの大きさを、変調方法に必要なレベルまで量子化する。

【0059】即ち、M項微分位相シフトキー（M-ary differential phase shift keying: MDPSK）を用いる場合、連続したシンボルの間の位相シフトは、2つの連続した位相測定値を減算することによって求められる。M項微分位相シフトキー（MPSK）のコヒーレントな復調が行われ

た場合、位相シフトはLレベルまで量子化され、ハード決定コーディングが必要とされる場合L=Mとなる。

【0060】入力信号IFが、2つの位相シフトキー2PSKと共に生み出された場合、位相シフトはハード決定出力のために、2つのレベル即ち0°及び180°まで量子化される。

【0061】基準信号発生器208は、入力信号IFの周波数F・IFの周波数を備えた2つの（2進）方形波LO・I及びLO・Qを発生させる。この2つの信号LO・IとLO・Qは、その位相差が90°となっている。

【0062】基準信号発生器208は、局部発振器216と、NOTゲート218と、2個のワンステージカウンタ220及び222とを有する。局部発振器216は、周波数F・IFの2倍の周波数であるF・LOを有する方形波SQを発生させる。ワンステージカウンタ220は、方形波SQの周波数を2で割ることによって、基準信号LO・Iを発生させる。信号SQを（NOTゲート218を通して）反転させ、次に（カウンタ222を通して）周波数を2で割ることによって、位相シフトされた基準信号LO・Qが、発生させられる。

【0063】コヒーレントな変調が入力信号IFに行われた場合、基準信号LO・Iは信号IFの位相にロックされなければならないことが注意される。

【0064】位相感知ユニット210は、（ベースバンドプロセッサ5の外部に配置された）ハードリミッタ214と、2つのXORゲート224及び226とを有する。ハードリミッタ214は、アナログ入力信号IFを2つの値に制限するものであって、従って2進信号を生み出す。典型的なハードリミッタは比較器からなる。

【0065】基準信号LO・Iと、ハードリミッタIF信号とには、XORゲート224によって論理XOR演算が施され、基準信号LO・Qと、ハードリミッタIF信号とには、XORゲート226によって論理XOR演算が施される。XORゲート224及び226の出力信号は、位相決定ユニット212へ伝達される。XORゲート224と226の出力信号は各々、ハードリミッタIF信号が基準信号LO・Aと等しい2進数値を有する時と、ハードリミッタIF信号が基準信号LO・Qと等しい2進数値を有する時を表示する。

【0066】位相決定ユニット212は、3個のカウンタ230、232及び234と、位相シフト計算器236とを有する。カウンタ230～234は、周波数F・IFのN倍の周波数F・CLのクロックに同期して動作する。

【0067】第1のカウンタ230は、カウントが行われるべきことを表示するST・COUNT信号を出力するサンプリングカウンタである。第1のカウンタ230がNのカウント値に到達したとき、第1のカウンタ230は信号ST・COUNTの出力を停止し、この時点で

カウンタ232及び234でのデータのサンプリングが開始される。

【0068】ST・COUNT信号がアクティブ状態の時、第2のカウンタ232は、クロック周期の数N1をカウントし、この周期の間の局部発振器の信号はハードリミットIF信号と等しい符号を有する。N1は、IF

$$abs(phase) = \pi(N - N1) / N$$

【0070】N1は位相差の大きさのみを表示し、入力IF信号が基準信号LO・Iに関して進み位相若しくは遅れ位相の何れかであることを表示するものではない。第3のカウンタ234の出力は、以下に示すように位相差の符号を与える。

【0071】第3のカウンタ234は、ST・COUNT信号がアクティブの間、ハードリミットIF信号が、基準信号LO・Qと等しい符号を有するクロック周期の数N2をカウントする。例えば、入力IF信号が基準信

$$sign(phase) = + (N2 > N/2) \text{ or } - (N2 \leq N/2)$$

(式2)

【0073】(式1)及び(式2)の方程式を用いることによって、位相シフト計算器36は、IF信号と、局部発振器216からの基準信号との位相差の大きさ及び位相差の符号を決定する。(式2)によって定義される位相の符号は、以下のように簡単な方法で求められる。

【0074】N=2ⁱの場合、カウンタ234のビットDq-1が、符号ビットとなる。

【0075】N<2ⁱまたはN>2ⁱ⁻¹のとき、値2ⁱ⁻¹

$$phase \cdot shift = [phase(t) - phase(t - \tau)] \bmod \pi \quad (式3)$$

【0078】ここでτは、連続するサンプルの間の時間を表し、“mod π”の意味は、以下の(式4)で表される。

$$\begin{aligned} phase \cdot shift &= phase \cdot shift - 2\pi \\ & \quad (phase \cdot shift > \pi) \\ phase \cdot shift &= phase \cdot shift + 2\pi \\ & \quad (phase \cdot shift < -\pi) \end{aligned}$$

(式4)

【0080】異なる位相シフトキー変調が行われる場合、位相差は、以下に説明されるようにシンボルごとではなくサンプルごとに計算される。

【0081】復調器から正確な値を得ることが必要な場合、位相シフト計算器236は、所望の量子化レベルに基づいて、位相シフトのための出力値を量子化する。復調器からおおまかな値を得る場合には、(式1)で計算した位相差の値が出力される。

【0082】ハードリミッタ214及び局部発振器216は2進信号を発生するので、復調器の構成要素の他の部分がデジタル回路から構成されていることが分かる。

【0083】性能を最高に高め、消費電力を最少にするべく、変調帯域幅と、IFの周波数と、Nとの比が最適化されなければならない。一般に、IFの周波数F・I

信号と基準信号LO・Iが等しい符号を有するST・COUNTがアクティブ状態の時間の割合を表示する。従って、LO・I信号とIF信号との位相差の大きさabs(phase)は以下の式で定義される。

【0069】

【数1】

(式1)

号LO・Iから位相シフトしていない場合、N1=N、N2=N/2となる。入力IF信号が10%の進み位相の時、N1は0.9Nとなり、N2は0.6Nとなる。入力IF信号が10%の遅れ位相の時、N1は0.9Nであるが、N2は0.4Nとなる。従って、位相の符号sign(phase)は以下のように定義される。

【0072】

【数2】

−N/2がカウンタに入力され、カウンタ234のビットDq-1が符号ビットを表す。

【0076】復調器はまた、IF信号の連続したサンプルの間の位相シフトを決定しなければならない。この位相シフト(phase·shift)は位相シフト計算器236によって以下のように計算される。

【0077】

【数3】

【0079】

【数4】

Fは、変調帯域幅の5倍以上でなければならない。エイ aliasing)の影響を低減するために、N×F・IFは、F・IFより十分大きくなければならない。効率の低下を少なくするために、Nは100よりも大きくなければならない。

【0084】N×F・IF/Kに等しいクロック周波数F・CLで動作する低電力クロックを用いて、本発明を実施することが可能であり、ここでKは1より大きい正の整数を表している。この実施例では、出力の分解能はNであり、しかし各サンプルを生み出すために1サイクルではなくK×IFサイクルを必要とする。

【0085】局部発振器の周波数が正確にF・IFではない場合、周波数の不一致から生ずる誤差に対して、位相シフト計算器236が補償され、この誤差(delt

$a \cdot \psi_i$ は以下の式で与えられる。

【0086】

$$\Delta \psi_i = 2\pi (F \cdot IF - F \cdot LO \cdot I) \tau \quad (式5)$$

【0087】ここで、 $F \cdot LO \cdot I$ は、基準信号 $LO \cdot I$ の周波数を表している。

【0088】本発明の復調器はまた、エンベロープが各サンプリング周期の間に一定であることが規定された、非一定エンベロープ変調 (non-constant envelope modulation) で IF 信号を復調するために用いることもできる。非一定エンベロープ変調の例としては、MPSK 及び、累乗されたコサイン・シェーピング・フィルタ (raised cosine shaping filter) と共に形成された MDPSK が挙げられる。

【0089】復調器はまた、瞬間の周波数を概算することによって周波数変調された信号を復調するために用いられる。この瞬間的な周波数は、位相計算器 236 によって、2つの連続する位相測定値を減算し、その結果を π で除算することによって計算される。

【0090】本発明の復調器で用いられている構成要素はその構成が簡単であり、かつ従来の復調器と比べその消費電力が小さいことが更に評価される。

【0091】位相シフトが 0° 若しくは 180° の何れかであるかどうかを決定しなければならない正確な決定を行う 2PSK 復調器では、第1のカウンタ 230 及び第2のカウンタ 232 のみが用いられ、局部発振器 240 は、 IF 信号にロックされた周波数 $F \cdot IF$ の信号を出力する。この様子が、図9に例示されている。

【0092】図10～図15には、図8の復調器の実施例の回路図が表されている。図10～図15の回路図は他に説明を要しないと考えられるので、説明を簡潔にするために、以下の説明は簡単なものとする。

【0093】図10は主な要素、“DIV・CLK”、“IO”、“TIME・BAS”及び“PH・MET”を例示しており、これらの主な構成要素は各々、図11、図12、図13及び図14と図15に詳細に例示されている。図10の回路の入力信号はハードリミットされた信号 $RX \cdot IF$ であり、出力信号は値 $N1$ 及び $N2$ である。即ち、ハードリミット 214 及び位相シフト計算器 236 は図10～図15には例示されていない。図10～図15の回路の外側に配置されたデジタル信号処理用集積回路は、位相シフト計算器 236 として働く。

【0094】構成要素“DIV・CLK”は、変調器全体のクロック信号を出力する。構成要素“IO”は、基準信号発生器 208 として働く。構成要素“TIME・BAS”は、第1のカウンタ 230 と等しく、かつ信号 $SD \cdot COUNT$ を発生する。構成要素“PH・MET”は、XORゲート 224 及び 226 と、カウンタ 232 及び 234 として働く。

【数5】

【0095】本発明がこれまで例示されかつ説明された実施例に限定されるものでないことは当業者には明かである。本発明の技術的視点は添付の請求項によってのみ定義される。

【図面の簡単な説明】

【図1】移動可能な遠距離通信ユニットを表すブロック図。

【図2】図1の遠距離通信ユニットに用いるために有効な、本発明の好適実施例に基づいて構成され、かつ動作するベースバンドプロセッサのブロック図。

【図3】図1の遠距離通信ユニットに用いるために有効な、本発明の好適実施例に基づいて構成され、かつ動作するベースバンドプロセッサのブロック図。

【図4】音声チャンネルエンコーディングの動作を表すフローチャート。

【図5】音声チャンネルデコーディングの動作を表すフローチャート。

【図6】制御チャンネルエンコーディングの動作を表すフローチャート。

【図7】制御チャンネルデコーディングの動作を表すフローチャート。

【図8】図2のベースバンドプロセッサに用いるために有効な、低電力デジタル復調器の模式図。

【図9】2つのPSK変調された信号を復調するために有効な、図8の復調器の実施例の模式図。

【図10】図8のデジタル復調器を実施するための回路図。

【図11】図10のデジタル復調器の構成要素の回路図。

【図12】図10のデジタル復調器の構成要素の回路図。

【図13】図10のデジタル復調器の構成要素の回路図。

【図14】図10のデジタル復調器の構成要素の回路図。

【図15】図10のデジタル復調器の構成要素の回路図。

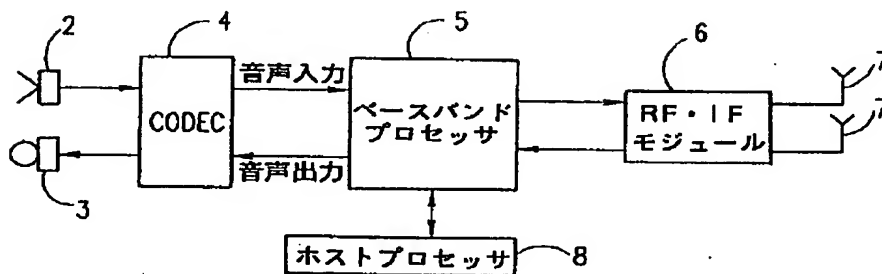
【符号の説明】

- 2 スピーカ
- 3 マイクロホン
- 4 コーダ・デコーダ (CODEC)
- 5 ベースバンドプロセッサ
- 6 ラジオ周波数・中間周波数 ($RF \cdot IF$) モジュール
- 7 アンテナ
- 8 ホストプロセッサ
- 10 デジタル信号処理用集積回路 (DSP)

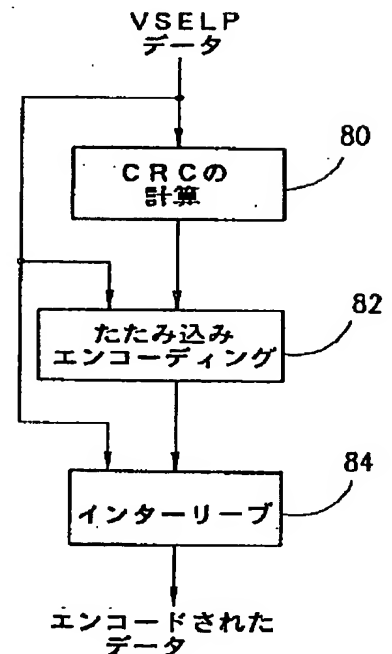
- 12 特定用途向け集積回路（ASIC）
- 14 送信バス
- 16 受信バス
- 20 μ ロー・リニア・コンバータ
- 23 VOXスイッチ
- 22 VSELP圧縮器
- 24 音声チャンネルエンコーダ
- 26 制御チャンネルエンコーダ
- 28 フォーマッタ
- 30 スクランプラ
- 32 変調器
- 34 DAコンバータ
- 40 位相センサ
- 42 信号セレクト
- 43 タイミング制御ユニット
- 44 ADコンバータ
- 46 自動周波数制御（AFC）ユニットの一部
- 47 DAコンバータ
- 49 AFCユニットの第2部分

- 50 復調器
- 51 RSSI比較器
- 52 デスクランブラ
- 54 デフォーマッタ
- 05 56 音声チャンネルデコーダ
- 58 制御チャンネルデコーダ
- 60 VSELP伸張器
- 62 表示トーン発生器
- 64 μ ロー・リニア・コンバータ
- 10 120 信号選択スイッチ
- 208 基準信号発生器
- 210 位相感知ユニット
- 212 位相シフト決定ユニット
- 216 局部発振器
- 15 218 NOTゲート
- 220、222 ワンステージカウンタ
- 230、232、234 カウンタ
- 236 位相シフト計算器
- 240 局部発振器

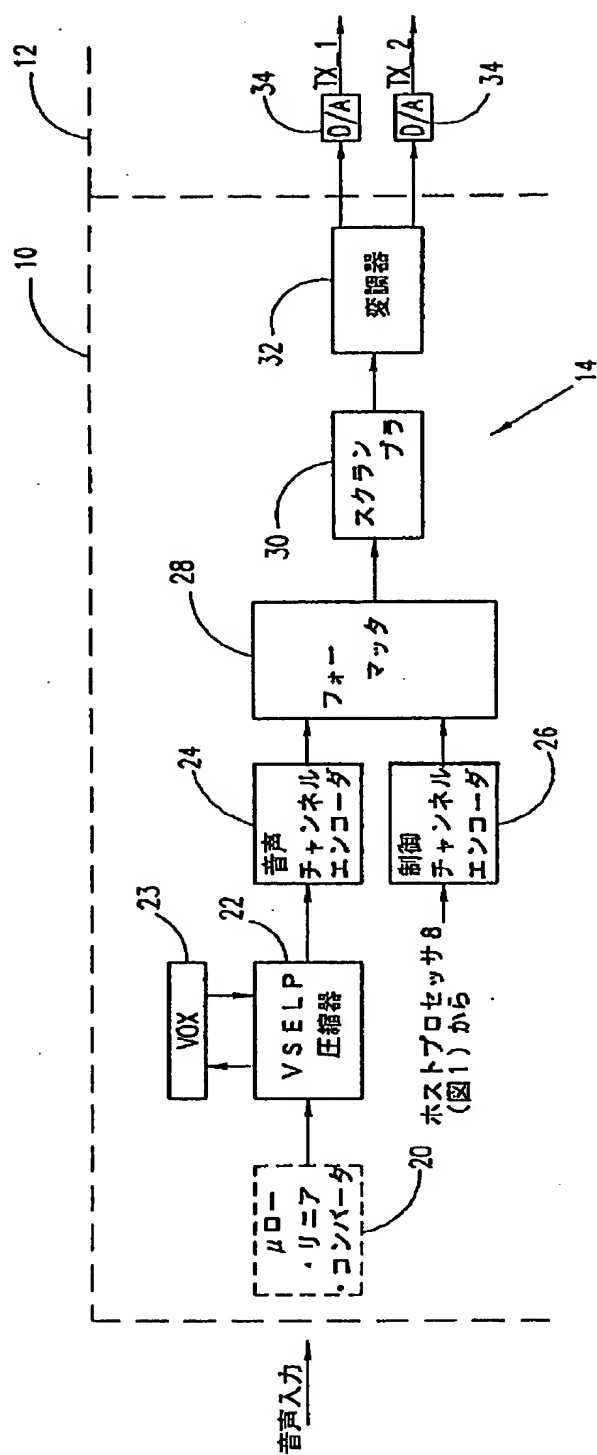
【図1】



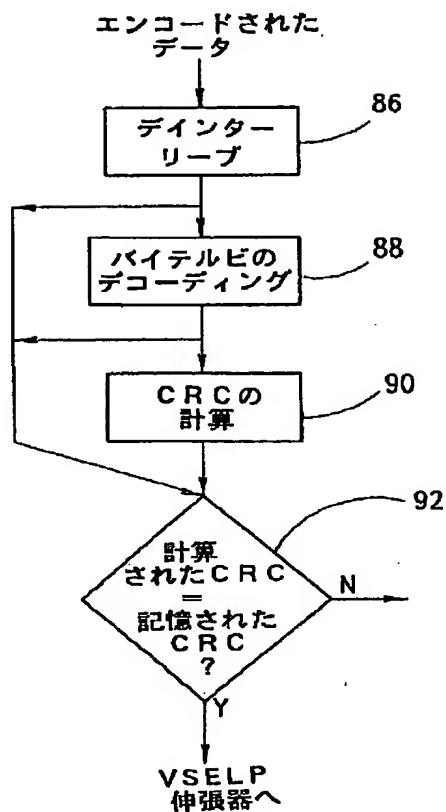
【図4】



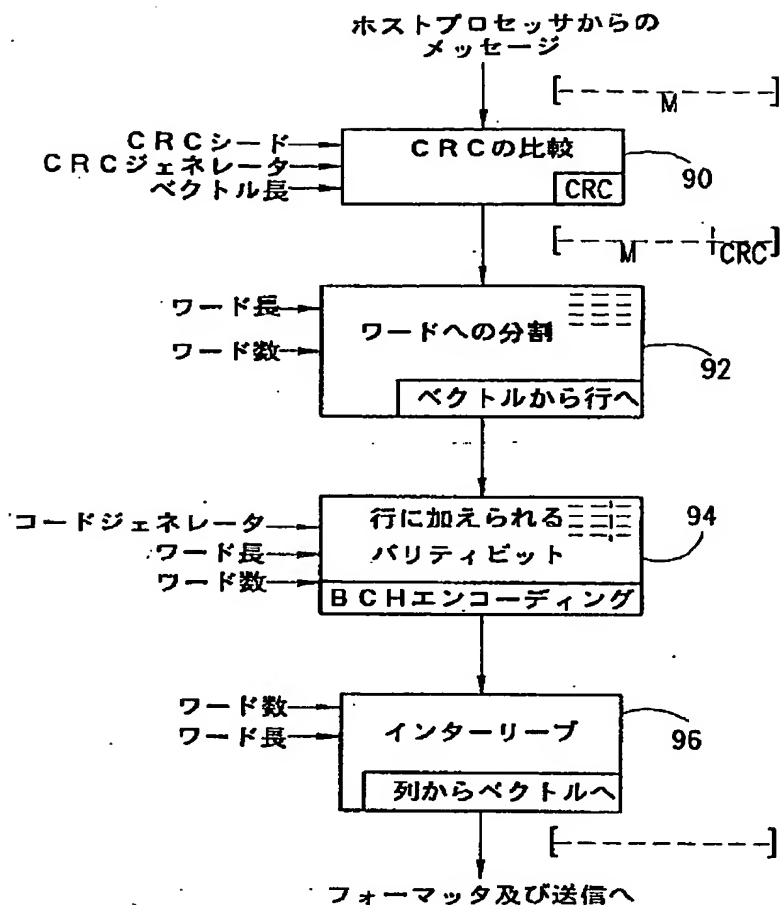
【図2】



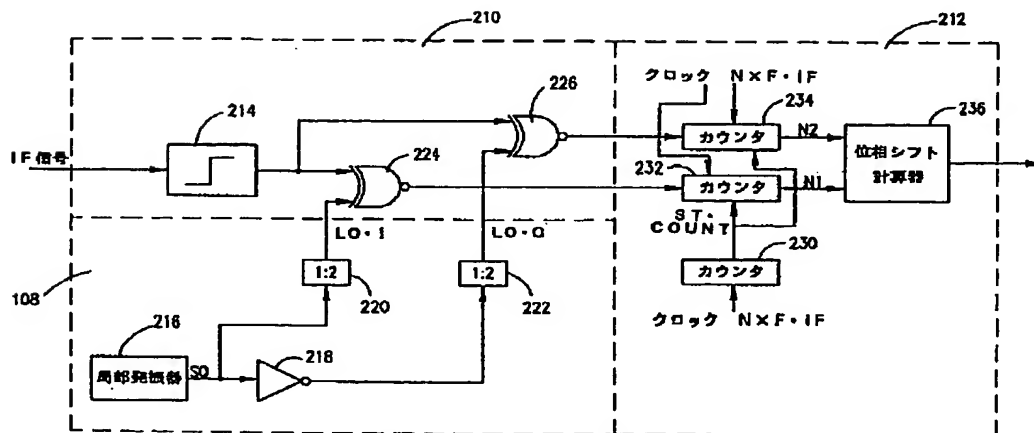
【図5】



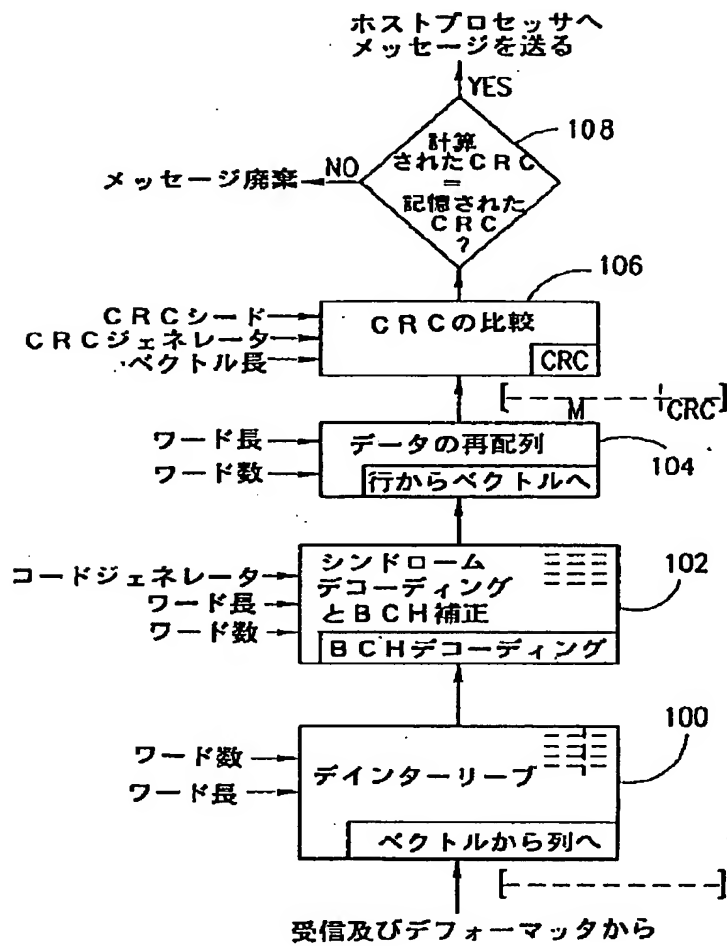
【図6】



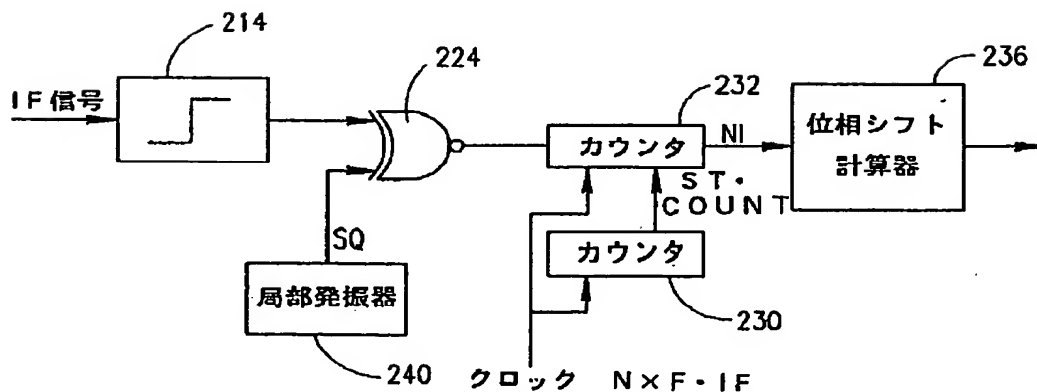
【図8】



【図7】



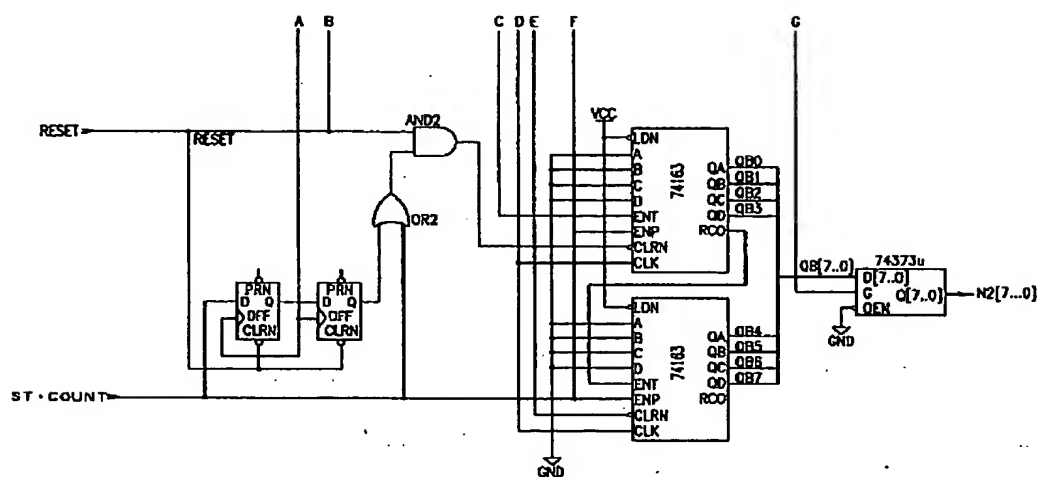
【図9】



[illegible]

The diagram illustrates the internal logic of the 74373u data latch. It features two 74163 counters and two 74373u latches. The 74163 counters are used to generate the clock signals for the 74373u latches. The 74373u latches are used to store the data from the 74163 counters. The diagram is labeled with A through G, corresponding to the pins of the 74373u.

【図15】



フロントページの続き

- | | | | |
|---------|---------------------|---------|---------------------|
| (72)発明者 | ドロン・レイニッシュ | (72)発明者 | ヨナ・レシェツ |
| | イスラエル国テルアビブ・ウシシュキンス | | イスラエル国キリアットハイム・イジック |
| | トリート 64 | | マンガーストリート 17 |
| (72)発明者 | オーファー・エラザー | (72)発明者 | オムリー・バイス |
| | イスラエル国テルアビブ・ケヒラットワー | | イスラエル国テルアビブ・ペンシャブルッ |
| | ソウストリート 36 | | トストリート 15 |